|  |
| --- |
| НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ «КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ» |
| Лабораторна робота №4 |
| **З дисципліни комп’ютерна схемотехніка** |
|  |
| Виконав студент 3 курсу ФІОТ, група ІО-82 Міщеряков Микола |

**2010р.**

Проектування FM

Завдання:

На PLMT з параметром N=(C10+1)mod6+4 побудувати KF- канальний FM ємністю MR=8+C101 слів розрядності n=8+8C8, де KF=C4, а KF =0,1,2,3 означають (P,Q), (P,Q<>), (P<>,Q<>), (P,Q,P) відповідно. Оцінити складність та швидкодію.

Визначення варіанту завдання

Номер залікової книжки – 8213.

N=(4+6)mod6+4=9

n=8+8\*6=56

MR=8+33=41

КB=2

Так як шини двонаправлені, то необхідно використовувати монтажну логіку з трьома станами:

При запису вихід пам’яті відключається від шини, а при читанні вхід від шини.

.

Загальна схема пам’яті



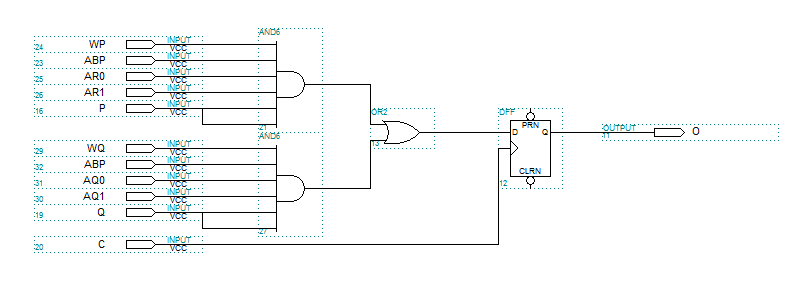
При наявності двох шин функцію управління синхросигналамим тригерів реалізувати всередині них неможливо(вона потребує логічного АБО), тому кожна комірка пам’яті складається з ПЛМ(формування синхросигналу) та ПЛМТ(сам запам’ятовуючий елемент).

Для зменшення апаратних витрат робимо 4-рьох розрядні дешифратори адреси на кожну шину, а останні два розряду враховуються в комірках пам’яті. На виході пам’яті використовується монтажна логіка з трьома станами, тому немає необхідності з’єднувати всі виходи за допомогою логічного або.

Для отримання результату необхідно реалізувати функцію 2І-1184АБО. Так як входів в ПЛМ 8, то цю функцію можна реалізувати використовуючи каскадування функції АБО при цьому використаємо 148 ПЛМ для першого рівня, 19 для другого, 3 для 3-го та 1 для четвертого. Загальна кількість ПЛМ в цій схемі – 171.

Так як шина даних та шина адресу суміщені, то необхідно модифікувати загальну схему:

Схема одного розряду пам’яті



Формування синхросигналу для 4 слів

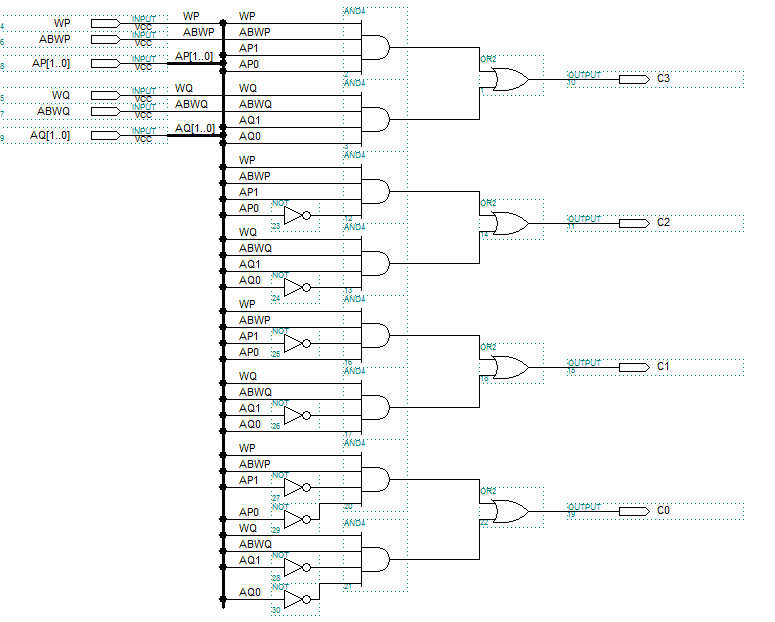
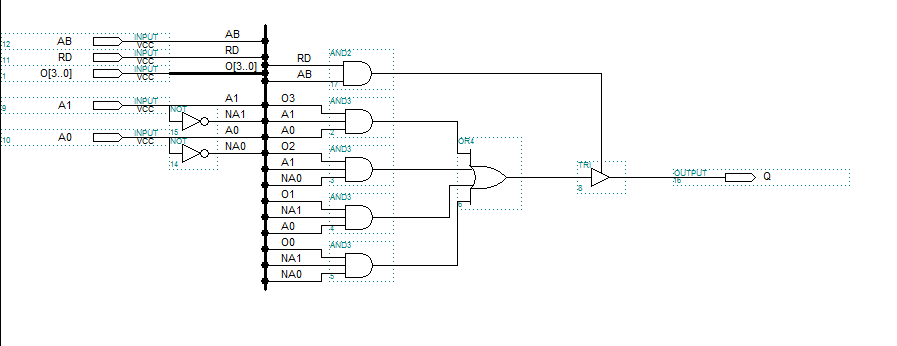


Схема формування вихідного сигналу для 1 розряду 4-ох слів

Для зменшення апаратних витрат доцільно вихідний сигнал формувати не окремо по словам, а відразу для чотирьох слів відразу.



Швидкодія даної схеми визначається часом формування сигналу дешифратором, часом зчитування та запису в регістр та часом формування результуючого сигналу в схемі АБО:

t=tDC+tT+tOR=1+3+1=5нс.

Складність схеми:

Дешифратор складається з 24=16 ПЛМ.

Загальна кількість тригерів – n\*MR=56\*41=2296 ПЛМT.

Схеми формування синхросигналу тригерів – n\*MR=56\*41=2296 ПЛМ

Схема формування результату – 41/4\*56=616 ПЛМ.

Загальна складність пам’яті – 2928 ПЛМ та 2296 ПЛМТ (5224 елементів)